

*L.P.O GEORGES BRASSENS
RUE G. BRASSENS 91080 COURCOURONNES*

MAI 1997



**TP UTILISANT L'OUTIL DE
SIMULATION VIEW-LOGIC**

LE LECTEUR

OPTIQUE

WILLIAM Jean-Pierre

SOMMAIRE

Dossier professeur.....	3
<i>Références au programme.....</i>	<i>4</i>
<i>Grille contenu-compétence.....</i>	<i>5</i>
<i>Document réponse.....</i>	<i>8</i>
<i>Barème.....</i>	<i>11</i>
<i>Opérialisation des compétences.....</i>	<i>12</i>
<i>Recommandations aux professeurs.....</i>	<i>13</i>
Dossier ressource.....	14
<i>Mode d'emploi View-Logic.....</i>	<i>15</i>
<i>Documents constructeur.....</i>	<i>16</i>
• 4015	
• 4017	
• 4042	
• 4093	
• 4528	
• 4585	
• 7812	
Dossier élève.....	17
<i>dossier technique élève.....</i>	<i>18</i>
<i>Texte du TP.....</i>	<i>23</i>
<i>Documents ressources.....</i>	<i>27</i>
• 4015	
• 4017	
• 4042	
• 4093	
<i>Fiche de synthèse.....</i>	<i>28</i>

*L.P.O GEORGES BRASSENS
RUE G. BRASSENS 91080 COURCOURONNES*

MAI 1997



**TP UTILISANT L'OUTIL DE
SIMULATION VIEW-LOGIC**

DOSSIER

PROFESSEUR

Génie électronique
Première

ETUDE DES
SYSTEMES
TECHNIQUES
INDUSTRIELS

SYSTEME D'ACCES REGLEMENTE

ELABORER UN CODE D'ENTREE (FP1)

Séance TP N°3 , durée : 4h

REFERENCES DU PROGRAMME

COMPETENCES TERMINALES : E4 "d'évaluer que la fonction requise est assurée".

CONTENUS : Mémorisation (registre à décalage, bascules D).
Comptage (comptage synchrone).

OBJECTIFS DE SEANCE

L'élève doit être capable de:

- Justifier la forme des signaux CLK et DATA.
- Montrer que la fonction requise est assurée.

ACQUIS PREALABLES

- Étude fonctionnelle de l'objet technique.
- Fonctionnement d'un transistor en commutation.
- Conversion binaire / hexadécimale et inversement.

SAVOIRS NOUVEAUX

- Registre à décalage
- Utilisation de l'outil View-Logic (mettre un composant, un label et créer des stimuli).

TRAVAIL DEMANDE :

Voir énoncé

DONNEES ET CONDITIONS D'ACQUISITION:

Dossier technique élève de l'objet technique "Lecteur optique" avec en particulier la décomposition fonctionnelle du second degré.

Énoncé du TP + documents constructeur des composants: 4093, 4017, 4015 et 4042.

Document annexe sur des mots clés du fichier de commande.

Travail en binôme sur un poste équipé de "**View-Logic**".

CRITERES D'EVALUATION

Évaluation formative

Les critères sont énumérés à la page 12.

GENIE ELECTRONIQUE

ELECTRONIQUE: contenus (B.O. Hors série du 24.09.1992)

- Notes : - les compétences A et B sont validées en permanence au cours de l'exploitation de thèmes ;
 - ce qui n'est pas rappelé en terminale est obligatoirement traité en première ;
 - la compétence I est validée en première pour la réalisation de produits didactiques et en terminale pour la réalisation du projet.

		TP n°1:	TP n°2:	TP n°3:	TP n°4:	1ère	Term	COMPETENCES POUVANT ETRE EVALUEES									
A) TRAITEMENT DES SIGNAUX ANALOGIQUES																	
fonction	éléments de structure mis en oeuvre					1 2 3 4	1 2 3 4	A	B	C	D	E	F	G	H	I	
amplification	amplificateur de tension					12	34	*	*		*	*		*	*	*	
	amplificateur de courant					12	3	*	*		*	*		*	*	*	
	amplificateur de puissance : aspects technologiques problèmes thermiques rendement					1	123	*	*		*	*		*	*	*	
						12	1234	*	*		*	*		*	*	*	
opérations algébriques	comparateur					123	34	*	*		*	*		*	*	*	
	additionneur/soustracteur						123	*	*		*	*		*	*	*	
	diviseur/multiplicateur						12	*	*		*	*		*	*	*	
opérations mathématiques	intégrateur/dérivateur						123	*	*		*	*		*	*	*	
filtrage	filtre passe-bas (actifs du premier ordre)						123	*	*		*	*		*	*	*	
	filtre passe-haut (actifs du premier ordre)						123	*	*		*	*		*	*	*	
conversion	générateur de tension commandé par un courant.					1	123	*	*		*	*		*	*	*	
	générateur de courant commandé par une tension.					1	123	*	*		*	*		*	*	*	
	générateur de tension commandé par une tension.					1	12	*	*		*	*		*	*	*	
	générateur de courant commandé par un courant.					1	12	*	*		*	*		*	*	*	
modulation d'amplitude démodulation d'amplitude	multiplieur intégré.						12	*	*		*	*		*	*	*	
	résistance commandée.						12	*	*		*	*		*	*	*	
	détection d'enveloppe.						12	*	*		*	*		*	*	*	
B) PRODUCTION DE SIGNAUX ANALOGIQUES																	
Production de signaux sinusoïdaux	oscillateur R C						123	*	*		*	*		*	*	*	
	osc.utilisant des C. Intégrés. spécialisés						1234	*	*		*	*		*	*	*	
	conformateur						123	*	*		*	*		*	*	*	
Production de signaux non - sinusoïdaux	Générateur de signaux triangulaires						123	*	*		*	*		*	*	*	
	Générateur de signaux rectangulaire astable					12	34	*	*		*	*		*	*	*	
	Générateur de signaux rectangulaire monostable					FS31	12	*	*		*	*		*	*	*	

C)TRAITEMENT DES SIGNAUX LOGIQUES ET/OU NUMERIQUES		TP n°1:	TP n°2:	TP n°3:	TP n°4:	1ère	Term	COMPETENCES POUVANT ETRE EVALUEES								
fonction	éléments de structure mis en oeuvre					1 2 3 4	1 2 3 4	A	B	C	D	E	F	G	H	I
commutation	opérateurs logiques de base : ET ; OU ; NON					1234		*	*		*	*		*	*	*
	ET-NON; OU-NON	FS11				1234		*	*		*	*		*	*	*
	OU exclusif					1234		*	*		*	*		*	*	*
	multiplexeur / démultiplexeur					1234		*	*		*	*		*	*	*
codage	codeur					1234		*	*		*	*		*	*	*
	décodeur					1234		*	*		*	*		*	*	*
transformation de code	transcodeur					1234		*	*		*	*		*	*	*
opération arithmétiques binaires	additionneur					123	123	*	*		*	*	*	*	*	*
	soustracteur					123	123	*	*		*	*	*	*	*	*
	comparateur				FP2	123	123	*	*		*	*	*	*	*	*
	unité arithmétique et logique					1	12	*	*		*		*			*
comptage	compteur synchrone (et asynchrone)			FS13			12	34	*	*	*	*		*	*	*
mémoire mémoire	mémoire élémentaire : bascules R S					1234		*	*		*	*		*	*	*
	D			FS14		123		*	*		*	*		*	*	*
	JK					123		*	*		*	*		*	*	*
	mémoire multiple à accès direct					1	123	*	*		*	*	*		*	*
	mémoire à accès séquentiel					1	12	*	*		*	*	*		*	*
	mémoire à lecture/écriture					1	123	*	*		*	*	*		*	*
	mémoire à lecture seule					1	123	*	*		*	*	*		*	*
	registre à décalage			FS12		123		*	*		*	*		*	*	*
traitement programmé de l'information	structure de bus					1	12	*	*		*		*		*	*
	interfaces					1	123	*	*		*	*	*		*	*
	séquencement					1	12	*	*	*	*		*		*	*
	échanges des informations entre les entités fonctionnelles					1	12	*	*	*	*		*		*	*
	mémorisation					1	12	*	*	*	*		*		*	*
organisation logicielle	structures algorithmiques de base: linéaire					1	123	*	*	*	*		*		*	*
	alternative					1	123	*	*	*	*		*		*	*
	itérative					1	123	*	*	*	*		*		*	*
	sous-programmes					1	123	*	*	*	*		*		*	*
	éléments de programmation permettant la réalisation de fonctions relatives à l'O.T. étudié					1	1234	*	*	*	*		*	*	*	*

		TP n°1:	TP n°2:	TP n°3:	TP n°4:	1ère	Term	COMPETENCES POUVANT ETRE EVALUEES										
D) CONVERSION DES GRANDEURS PHYSIQUES EN GRANDEURS ELECTRIQUES								A	B	C	D	E	F	G	H	I		
<i>fonction</i>	<i>éléments de structure mis en oeuvre</i>					1 2 3 4	1 2 3 4											
capteur : position vitesse contrainte température rayonnement	capteur magnétoélectrique					12	12	*	*		*	1			*	*		
	capteur électrodynamique					12	12	*	*		*	1			*	*		
	capteur optique	<i>FS11</i>				12	12	*	*		*	1			*	*		
	capteur thermoélectrique					12	12	*	*		*	1			*	*		
	capteur de contrainte					12	12	*	*		*	1			*	*		
conditionnement	oscillateur à fréquence commandé						12	*	*		*				*	*		
	oscillateur à rapport cyclique commandé						12	*	*		*				*	*		
	oscillateur à amplitude commandé						12	*	*		*				*	*		
	générateur de tension ou courant commandé						12	*	*		*				*	*		
E) CONVERSION DE GRANDEURS ELECTRIQUES EN GRANDEURS PHYSIQUES																		
traduction élect/acoustique	H.P. électrodynamique					1	12	*	*		*					*		
traduction élect/optique	diode électroluminescente				<i>FA1</i>	1234		*	*		*	*		*		*		
	afficheur simple					12	34	*	*		*	*		*		*		
	afficheur multiplé					12	3	*	*		*	*				*		
F) TRANSMISSION DE L'INFORMATION																		
conversion de données non - sinusoïdaux	convertisseur numérique - analogique					1	123	*	*		*	*	*		*	*		
	convertisseur analogique - numérique					1	123	*	*	*	*	*	*		*	*		
	convertisseur fréquence - tension					1	12	*	*		*				*	*		
codage des informations	modulateur à déplacement de fréquence						1	*	*		*				*	*		
transmission non galvanique	coupleur optique					1	123	*	*		*				*	*		
	transformateur		<i>FA2</i>			123		*	*		*	*			*	*		
	relais				<i>FS32</i>	123		*	*		*	*			*	*		
transmission de données numériques	liaison série						12	*	*	*	*		*			*		
	liaison parallèle						123	*	*	*	*		*			*		
G) CONVERSION ET CONTROLE DE L'ENERGIE																		
conversion électrique mécanique	moteur à courant continu à aimants permanents					1	123	*	*		*	*	*		*	*		
	moteur pas à pas					1	123	*	*		*	*	*		*	*		
contrôle de l'énergie	redresseur		<i>FA2</i>			123		*	*		*	*		*	*	*		
	gradateur						12	*	*		*	*			*	*		
	hacheur série à transistors						12	*	*		*	*			*	*		
	régulateur		<i>FA2</i>			1234		*	*		*	*		*	*	*		

Q1:

- a) En l'absence de carte, les phototransistors Q1 et Q2 sont saturés donc $V_{CE} \neq 0V$ et $DATA=CLK=$ état logique 1 car inversé par le circuit 4093 qui est un inverseur à seuil.
- b) En présence d'une surface opaque, les phototransistors Q1 et Q2 sont bloqués donc $V_{CE} \neq 12V$ et $DATA=CLK=$ état logique 0.

Q2:

Le code d'entrée de la porte est synchronisé sur les fronts montants de l'horloge. Le premier bit présent est le bit de poids fort donc, on obtient le mot binaire suivant: $data = (01011001)$

En hexadécimal on trouve $data = (59)_{16}$

En tenant compte des résultats de la question précédente et du schéma de la carte optique on constate que le signal CLK correspond à une alternance de "0" et "1" représentatif des surfaces opaques et des trous de la carte optique. De même que pour le signal DATA.

Q3:

On trouve:

$D = (XXXXXXXX)$

$D = (XXXXXXXX0)$

$D = (XXXXXXXX01)$

$D = (XXXXX010)$

$D = (XXXX0101)$

$D = (XXX01011)$

$D = (XX010110)$

$D = (X0101100)$

$D = (01011001)$

On constate un décalage de l'information vers la gauche.

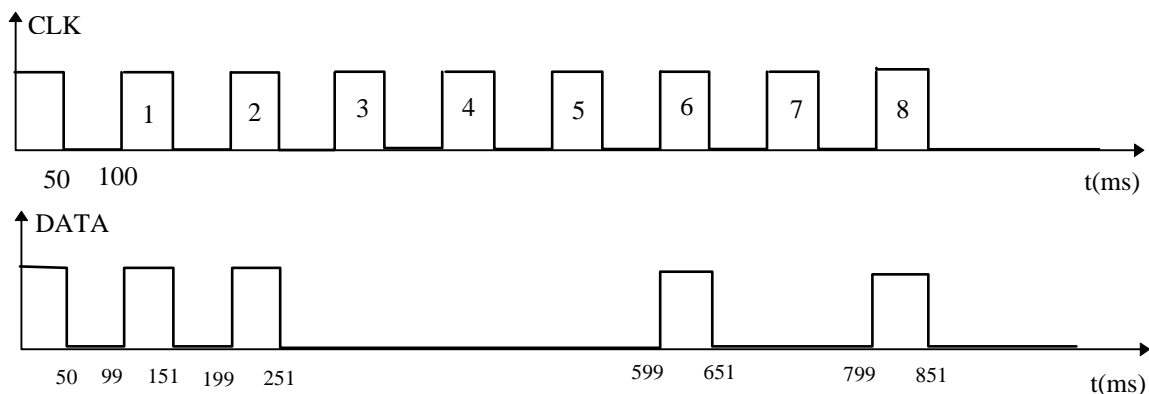
Le circuit 4015 permet de décaler l'information série vers la gauche.

Q4:

- a) La sortie CPT9 change d'état sur le front descendant de l'horloge.
- b) Oui en effet, car c'est l'entrée inverseuse qui a été choisie.

Q5:

- a) L'entrée POL est l'entrée de chargement parallèle des données.
- b) On retrouve bien à la fin de la simulation le code d'entrée de la porte présenté en parallèle sur les sorties du circuit 4042. On réalise bien une conversion série parallèle.

Q6:

Q7:

Les deux lignes manquantes sont les suivantes:

vector D D7 D6 D5 D4 D3 D2 D1 D0 ou vector D D[7:0]

*wfm DATA @0ms=1 @50ms=0 @99ms=1 @151ms=0 @199ms=1 @251ms=0 @599ms=1
@651ms=0 @799.0ms=1 @851.0ms=0*

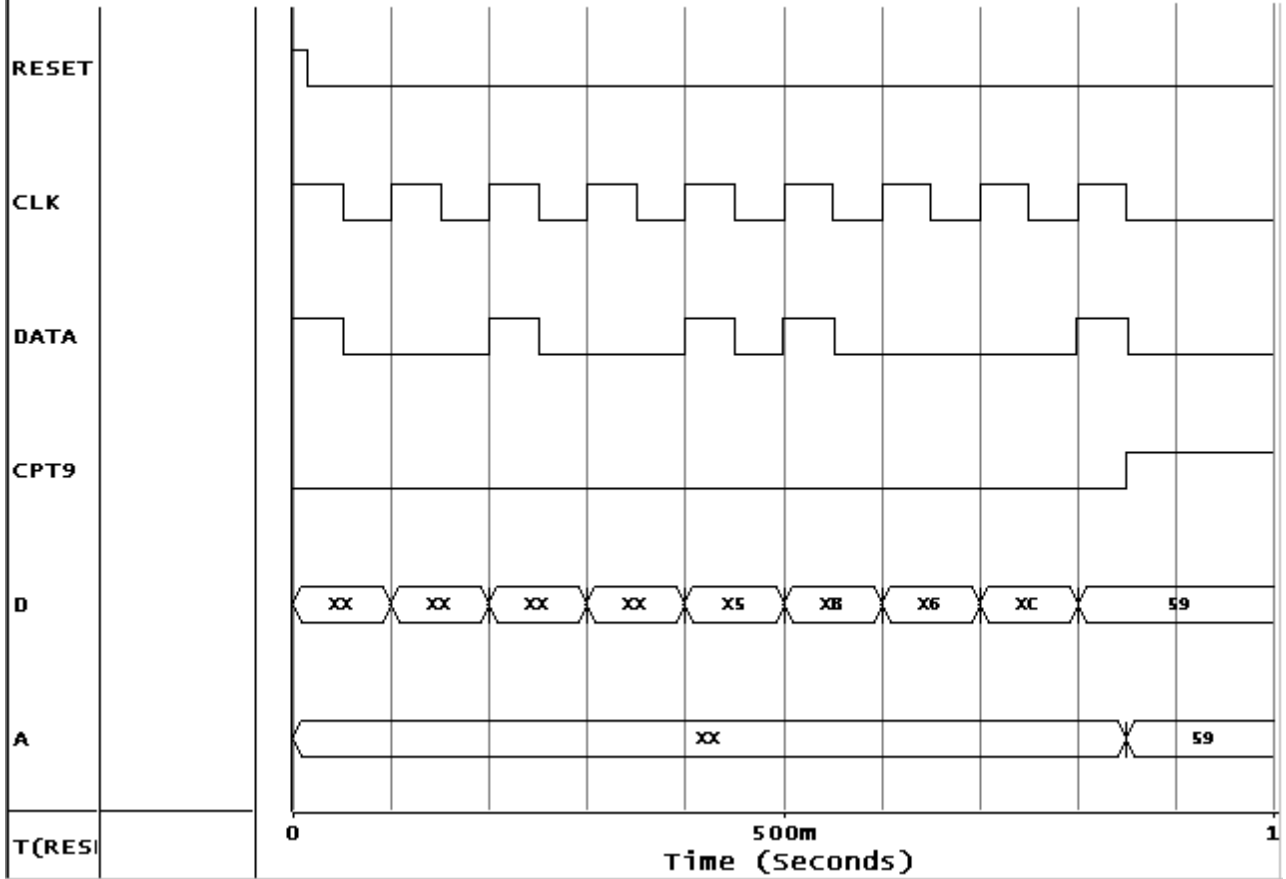
wave TP3_2.vcd RESET CLK DATA D VALID A

Q8:

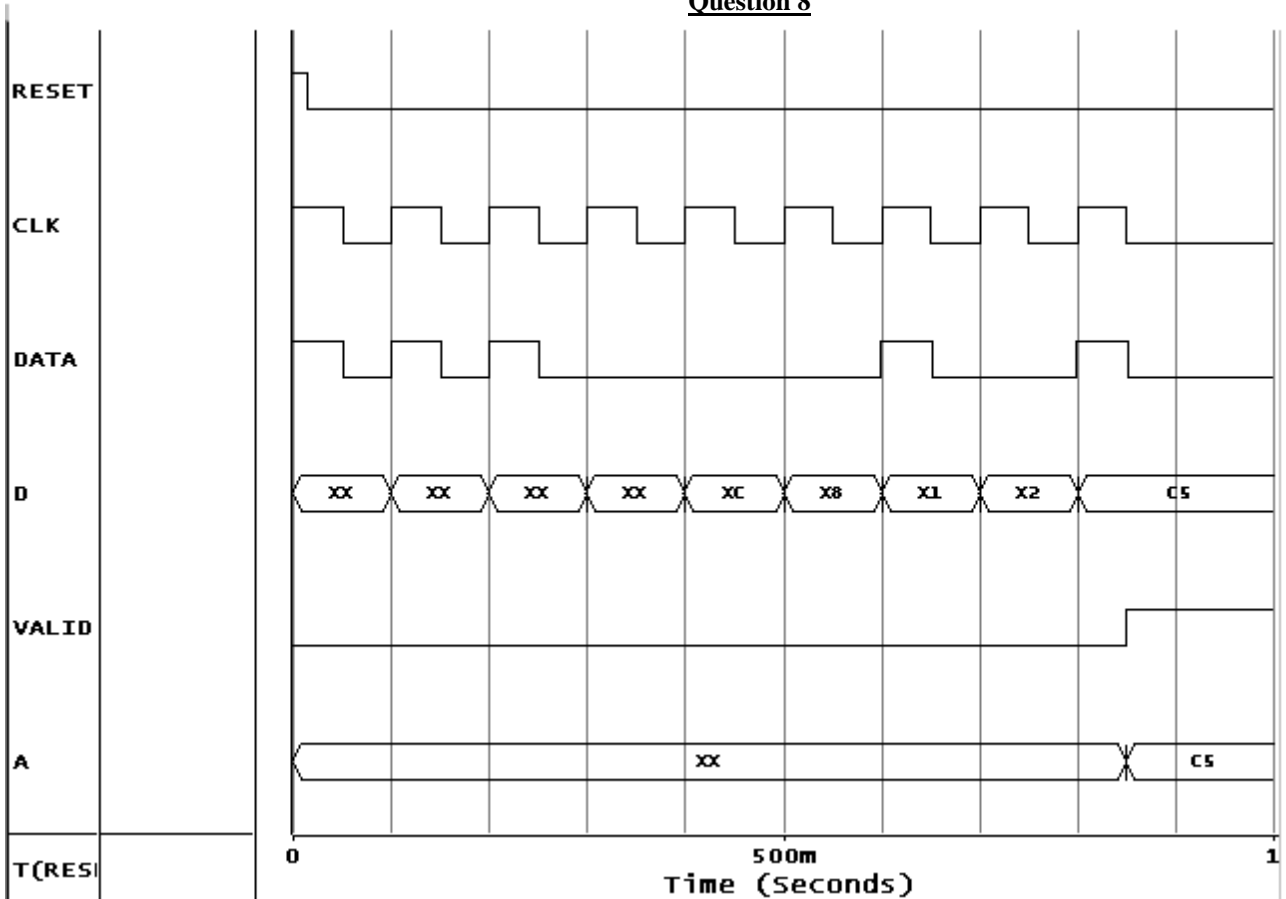
A l'instant $t=1s$ on doit retrouver $A = (C5)_{16}$

L'information correspondant au code de la porte a bien présente en parallèle sur la sortie du circuit 4042. Cette information est prête à être comparer au code pré-programmé de cette porte.

Question 3



Question 8



BAREME

QUESTIONS	NOTE
Q1	/3
Q2	/2
Q3	/3
Q4	/2
Q5	/3
Q6	/3
Q7	/2
Q8	/2
TOTAL	/20

RECOMMANDATIONS AUX PROFESSEURS

ETUDE DES SYSTEMES TECHNIQUES INDUSTRIELS

COMPETENCE TERMINALE:

A B C D **E4** F G H I

Section: 1^{er} STI.

THEME: Lecteur optique

Leçon: Registre à décalage

Durée: 4h

Connaissances requises: Étude fonctionnelle de l'objet technique, fonctionnement d'un transistor en commutation, conversion binaire / hexadécimale et inversement.

ETAPES	OBJECTIF OPERATIONNEL (Être capable de:)	CONDITIONS, CONTEXTE (On donne:)	ACTIVITES, PERFORMANCE (On demande:)	CRITERE, NIVEAU DE REUSSITE (On exige:)
1	Déterminer l'état logique d'une sortie.	Schéma structurel de la fonction FS11.	Analyse du schéma structurel.	Prouver l'état logique des sorties DATA et CLK.
2	Justifier la forme des signaux CLK, DATA.	Texte de TP avec la forme des signaux. Dossier technique.	Déduction en tenant compte de la question 1.	Montrer le lien qui existe entre le schéma de la carte et la forme des signaux.
3	Déduire la fonction du circuit 4015.	Fenêtre "ViewTrace" avec les résultats de simulation	Lecture des résultats et déduction de la fonction réalisée par le circuit 4015.	Énumération des neuf valeurs.
4	Déterminer le front de changement d'état des sorties.	Fenêtre "ViewTrace" avec les résultats de simulation. Documents constructeur du 4017.	Lecture du schéma et des résultats de simulation.	Montrer la signification de l'entrée broche 13 du circuit 4015.
5	Montrer que la fonction requise est assurée.	Fenêtre "ViewTrace" avec les résultats de simulation. Documents constructeur du 4017.	Lecture des chronogrammes et déduction.	Montrer qu'il y a conversion série parallèle
6	Représenter en concordance des temps les signaux CLK et DATA. Saisir le schéma.	DATA = (C5) ₁₆ .	Conversion d'un nombre hexadécimal en binaire.	Justesse de la conversion, des deux signaux, et du schéma.
7	Élaborer les stimuli des signaux d'entrée.	Document annexe.	Complète le fichier de commande.	Justesse du fichier de commande.
8	Montrer que la fonction requise est assurée.	Fenêtre "ViewTrace" avec les résultats de simulation. Documents constructeur du 4017.	Lecture des chronogrammes et déduction.	Montrer qu'il y a conversion série parallèle et qu'il y a possibilité de simulation à partir de blocs fonctionnels.

Bilan, modifications à prévoir...:

RECOMMANDATIONS AUX PROFESSEURS

Les recommandations suivantes sont nécessaires avant d'aborder le TP.

✘ Pour permettre aux élèves de créer automatiquement un fichier de commande avec le même nom que le fichier schéma, il est conseillé de créer préalablement une commande qui fasse cela à partir de "**Viewdraw**".

Dans le menu "Tools", choisir "**Customize**" et entrer les lignes suivantes:

Menu Text: Fichier de commande

Command: C:\windows\notepad.exe

Arguments: \$BLOCKNAME.CMD

✘ La durée de simulation est de 1s. Or avec une valeur de "ticksize" par défaut on ne peut simuler que pendant une durée d'environ 215ms ($2^{31} * 100\text{ps}$). Donc la solution ici est de modifier la valeur du "ticksize" (passage à 1ns) de façon à pouvoir simuler jusqu'à la valeur maximale de 2,1s. Pour cela il faut copier, le fichier viewsim.ini du répertoire wvoffice, dans le répertoire du projet et rajouter l'instruction suivante:

```
ticksize 1ns  
delay scale 1.0  
delay typ  
report -spikes  
defaults -cmdfile -bignet  
delay
```

*L.P.O GEORGES BRASSENS
RUE G. BRASSENS 91080 COURCOURONNES*

MAI 1997



**TP UTILISANT L'OUTIL DE
SIMULATION VIEW-LOGIC**

DOSSIER

RESSOURCE

Procédure d'édition de stimuli.

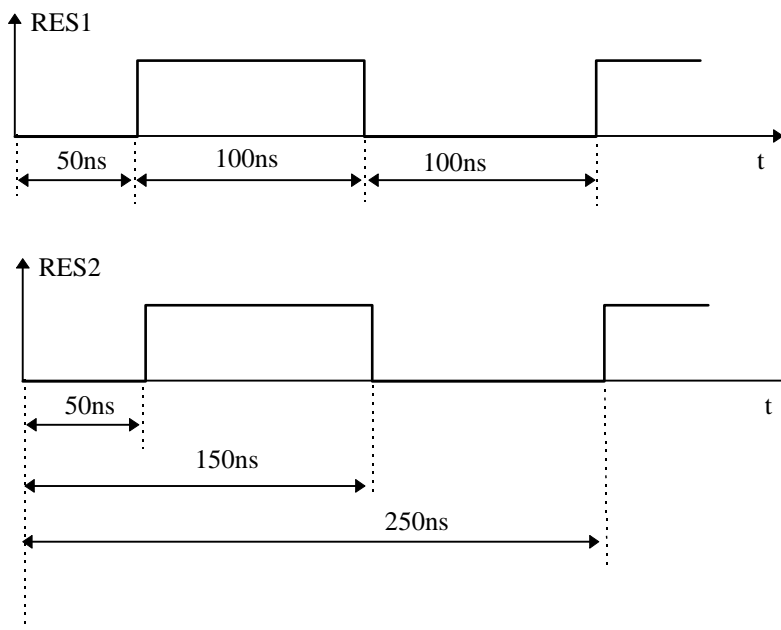
Comment faire pour:	Syntaxe
Appliquer une forme à un signal	WFM nom_du_noeud [@]durée=valeur1 [@]durée=valeur2...
Effectuer une remise à zéro	RESTART
Regrouper plusieurs noeuds en un bus	VECTOR nom_du_bus nom_du_noeud1 nom_du_noeud2...
Ouvrir le grapheur automatique	WAVE nom_du_fichier.vcd nom_du_noeud / nom_du_bus...
Lancer la simulation	SIM durée

Exemple:

VECTOR B B3 B2 B1 B0 définition d'un mot B de quatre bits

WFM RES1 @0=0 50ns=1 100ns=0 100ns=1

WFM RES2 @0=0 @50ns=1 @150ns=0 250ns=1



Dans cette zone on placera l'ensemble des documents constructeur nécessaires à l'étude du système technique:

- 4015 deux registres à décalage statique 4 bits;
- 4017 un compteur à sortie décimale décodée;
- 4042 quatre verrous D à sorties complémentaires;
- 4093 quatre portes ET-NON à 2 entrées avec trigger;
- 4528 deux multivibrateurs monostables;
- 4585 un comparateur 2×4 bits;
- 7812 régulateur de tension positive 12V.

*L.P.O GEORGES BRASSENS
RUE G. BRASSENS 91080 COURCOURONNES*

MAI 1997



**TP UTILISANT L'OUTIL DE
SIMULATION VIEW-LOGIC**

DOSSIER

ELEVE

I-PRESENTATION DU SYSTEME

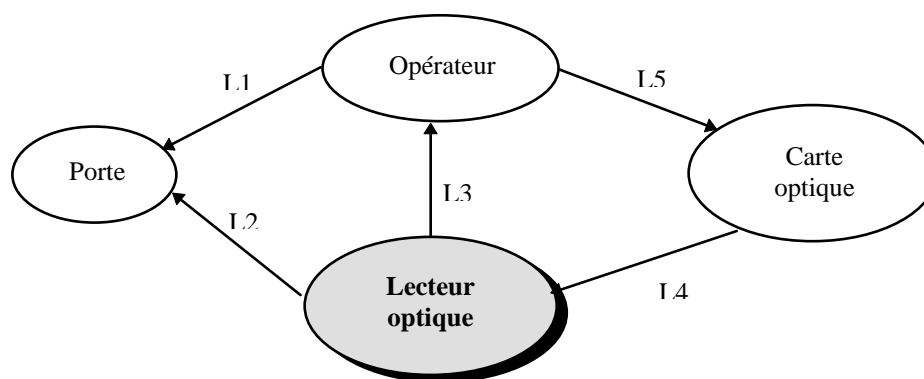
Dans une entreprise (entreprise de chimie, ...) certaines pièces sont des lieux de hautes toxicité.

En conséquence seules les personnes autorisées et donc compétentes peuvent y accéder, le nombre de personnes pouvant accéder à la salle est limité.

Dans le système étudié, l'accès à la salle est autorisé au moyen d'une carte optique contenant un code.

II-ANALYSE FONCTIONNELLE DU SYSTEME

2.1 Diagramme saittal



Définition des liaisons

L1 :Action manuelle :ouverture porte

L2 :Commande de la serrure électrique

L3 :Compte rendu visuel de la conformité

L4 :Code 8 bits

L5 :Action manuelle : introduction ou retrait

2.2 Rôle et fonction des éléments du système.

Rôle de l'homme :

L'homme introduit et retire la carte dans le lecteur, visualise le compte rendu et ouvre la porte.

Fonction de la carte optique :

La carte optique transmet un code sur 8 bits au lecteur après introduction de celle-ci par l'homme.

Fonction du lecteur optique :

A partir d'un code sur 8 bits le lecteur délivre un compte-rendu visuel de la conformité du code et une commande de gâche.

Fonction de la porte :

La porte permet à l'homme de pénétrer dans une enceinte à partir d'une commande de gâche électrique.

La porte se ferme automatiquement.

2.3 Algorithme de fonctionnement du système

Début

L'homme introduit la carte optique.

Si le code d'accès est conforme alors le lecteur commande l'autorisation d'ouverture de la porte, l'homme retire la carte et ouvre la porte, il entre dans la salle et la porte se ferme automatiquement **sinon** le lecteur interdit l'accès et l'homme retire sa carte.

Fin.

III. ANALYSE FONCTIONNELLE DE L'OBJET TECHNIQUE LECTEUR

3.1 Fonction globale

L'objet technique doit vérifier un code et élaborer une commande électrique.

Objets techniques de la même famille : télécommandes, lecteur sncf, verrouillage centralisé à distance...

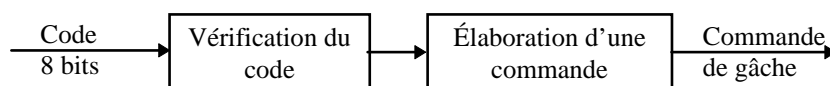
3.2 Schéma fonctionnel de niveau I



3.3 Fonction d'usage

Le lecteur optique vérifie le code d'accès de la carte optique. Le code étant conforme, le lecteur élabore la commande de la serrure électrique afin d'autoriser l'accès à la salle.

3.4 Schéma fonctionnel de niveau II



3.5 Schéma fonctionnel de premier degré de l'objet technique.

Cahier des charges :

Lors de la vérification du code, le lecteur élabore le code d'accès après introduction de la carte codée et autorise l'ouverture de la porte si le code d'entrée est identique au code référence prépositionné par un opérateur.

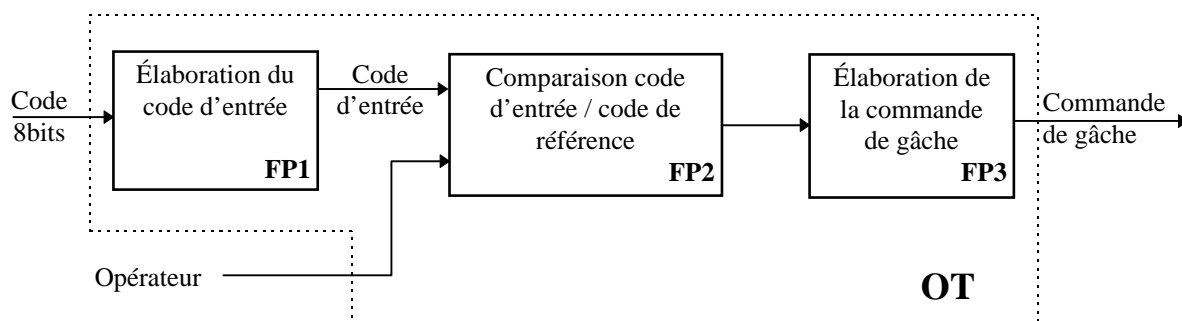
Le code de référence est interne à l'objet technique et peut être modifier à tout moment.

L'accès au code de référence doit être impossible à tout autre personne que l'opérateur chargé de sa modification éventuelle.

La commande de la serrure électrique doit être ponctuelle et ne pas dépasser une seconde.

La serrure est commandée par une tension alternative de 12V efficace.

La tension d'alimentation est celle du secteur.



3.6 Analyse du schéma fonctionnel de second degré

Étude de FP1 : Élaboration du code d'entrée.

FS11 : captage du code 8 bits

Entrée : cette entrée contient deux informations.

La première information est le code sur 8 bits. Ce code est matérialisé par l'existence ou non de trous sur la carte.

La seconde information permet la reconnaissance du code précédemment cité. Elle est matérialisée par huit trous. Cette information constitue l'horloge. Cette horloge assure le synchronisme ; celui-ci permet à la fonction FP1 de capter le code présent sur la carte.

Sorties :

sortie horloge : cette sortie produit une différence de potentiel (sortie 4 de D8) support de l'information binaire telle que :

CLK=+12v est significatif de la présence d'un trou ou de l'absence de la carte. L'état logique associé est 1.

CLK=0v est significatif de l'absence d'un trou ou de la présence de la carte. L'état logique associé est 0.

Sortie code série : cette sortie produit une différence de potentiel (sortie 3 de D8) support d'une information binaire telle que :

DATA=+12v est significatif de la présence d'un trou ou de l'absence de la carte. L'état logique associé est 1.

DATA=0v est significatif de l'absence d'un trou ou de la présence de la carte. L'état logique associé est 0.

La réalisation de la carte optique se trouve à la fin du dossier technique. Le premier trou (top) d'horloge à droite correspond au poids le plus fort du code 8 bits. Nous pouvons lire dans le cas présent le mot (59)_H

FS12 : conversion code série / parallèle.

Entée :

Voir sorties de la fonction FS11.

Sortie :

L'information prise en compte sur cette sortie est un mot binaire parallèle sur 8 bits.

FS13 : détection de fin de captage.

Entrée :

Voir sortie d'horloge de FS11.

Sortie :

Cette sortie produit une différence de potentiel continue, support de l'information binaire telle que :

CPT9=+12v signifie la détection du code 8 bits complet.

FS14 : validation du code 8 bits.

Entrée code parallèle :

voir sortie FS11

voir sortie FS12

Sortie :

L'information prise en compte sur cette sortie est un mot binaire parallèle représentatif du code inscrit sur la carte optique.

Étude de FP2 : Comparaison code entrée / code de référence

Entrées :

entrée code de référence : L'information prise en compte sur cette entrée est un mot binaire parallèle de 8 bits représentatif du code imposé par l'opérateur.

Entrée code d'entrée ou code carte : voir sortie FS14

Sortie :

Cette sortie produit une différence de potentiel continue support d'une information binaire telle que :

Vs=+12v signifie l'autorisation d'ouverture ou le code d'entrée est égal au code de référence.

Étude de FP3 : Élaboration de la commande de la serrure électrique

FS31 : Génération d'une impulsion calibrée

Entrée :

voir sortie de FP2

Sortie :

Cette sortie fournit une différence de potentielle de +12v pendant une durée de l'ordre de la seconde.

FS32 : Isolement galvanique.

Entrée :

L'information binaire appliquée à cette entrée de l'ordre de la seconde sera présente sous la forme d'une différence de potentiel telle que :

Ve=+12v implique la commande de la serrure électrique (fermeture du contact S10).

Étude de la fonction annexe

FA1 : visualisation de l'autorisation d'ouverture de la porte.

Entrée :

voir sortie de FP2

Sortie :

Cette sortie produit un signal lumineux support de l'information binaire telle que :

Le signal lumineux est émis ; cela signifie l'autorisation d'ouverture.

Le signal lumineux n'est pas émis ; cela signifie que le code carte ne correspond pas au code de référence et donc il ne peut y avoir commande d'ouverture.

FA2 : alimentation.

Entrée :

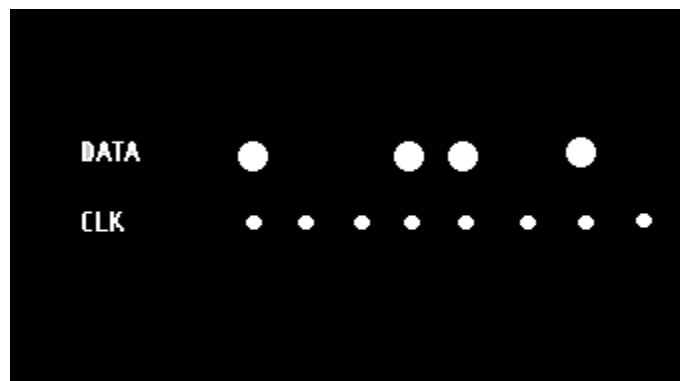
tension secteur EDF

Sorties :

tension 12v continue

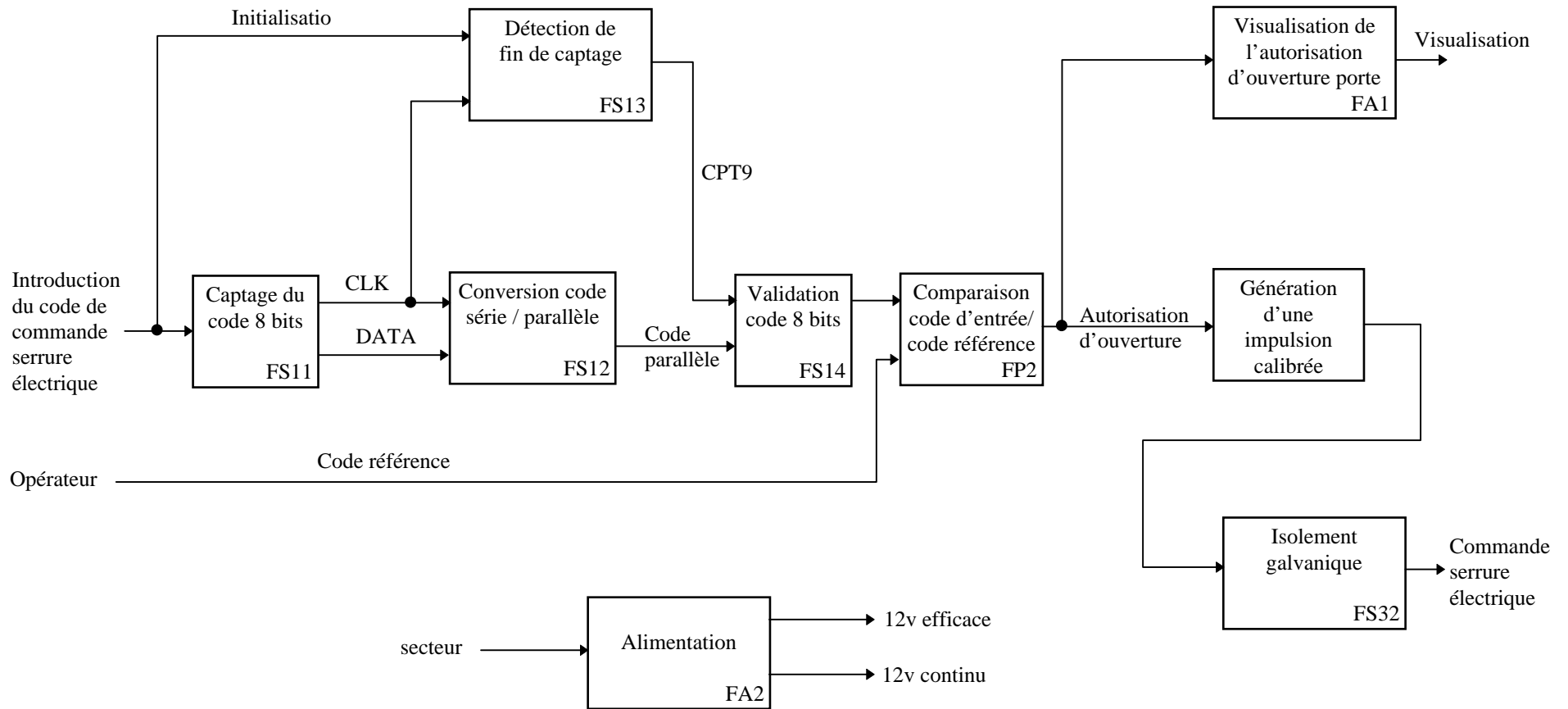
tension 12v efficace.

Schéma de la carte



Carte optique

Schéma fonctionnel de second degré du lecteur de carte optique



Énoncé du problème: On désire transmettre une donnée série (correspondant au code de la porte) en une donnée parallèle en vue d'une comparaison avec le code préétabli de la porte.

Objectif1:

Vérifier que l'information série correspondant au code d'entrée est bien présente en parallèle sur la sortie.

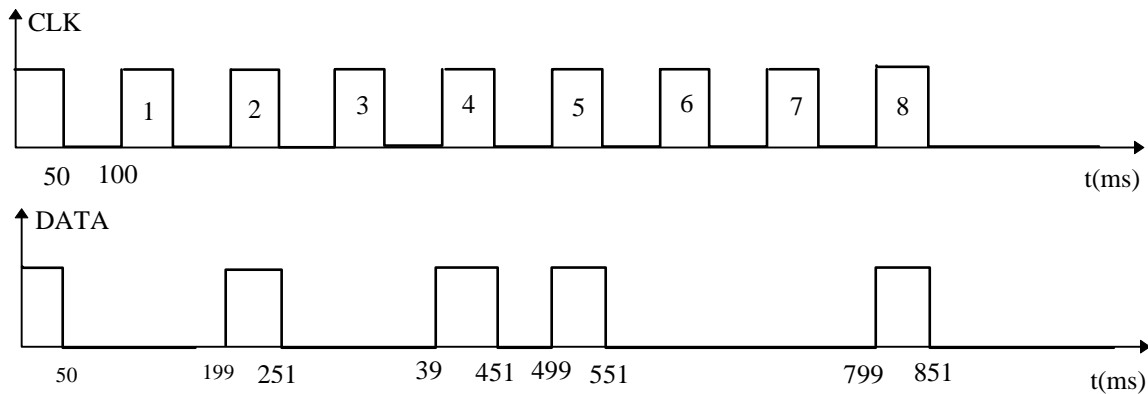
On supposera que les phototransistors fonctionnent en régime de saturation.

1. PREPARATION

Q1:

- a) **Déterminer** l'état logique des sorties CLK, DATA en l'absence de la carte optique. **Justifier.** (ou en présence d'un trou sur la carte)
- b) **Déterminer** l'état logique des sorties CLK, DATA en présence d'une surface opaque. **Justifier.**

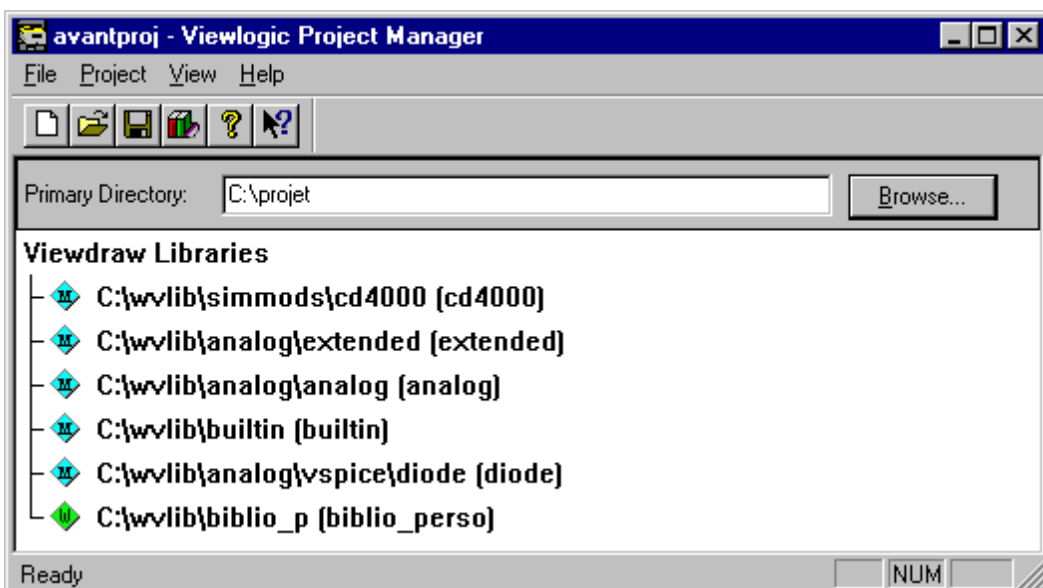
Les signaux d'horloge et de donnée sont les suivants:



Q2:

- a) A partir du chronogramme de l'entrée DATA, déterminer en hexadécimal, la valeur du code d'entrée de la porte.
- b) Justifier la forme des signaux CLK et DATA.

Vérifier que les bibliothèques suivantes sont bien présentes dans le "Project Manager":



Lancer "Viewdraw" , puis ouvrir le fichier TP3_1.1

Dans le menu "Tools", **sélectionner** "Fichier de commande". Cela permet d'ouvrir le fichier TP3_1.CMD qui est conçu de la manière suivante:

```

restart                {initialisation}
vector A A[7:0]        {définit un mot A de 8 bits obtenu avec les bits A7...A0}
vector D D[7:0]        {définit un mot D de 8 bits obtenu avec les bits D7...D0}
    
```

wfm CLK 0=1 (50ms=0 50ms=1)*8 50ms=0 @850ms=0

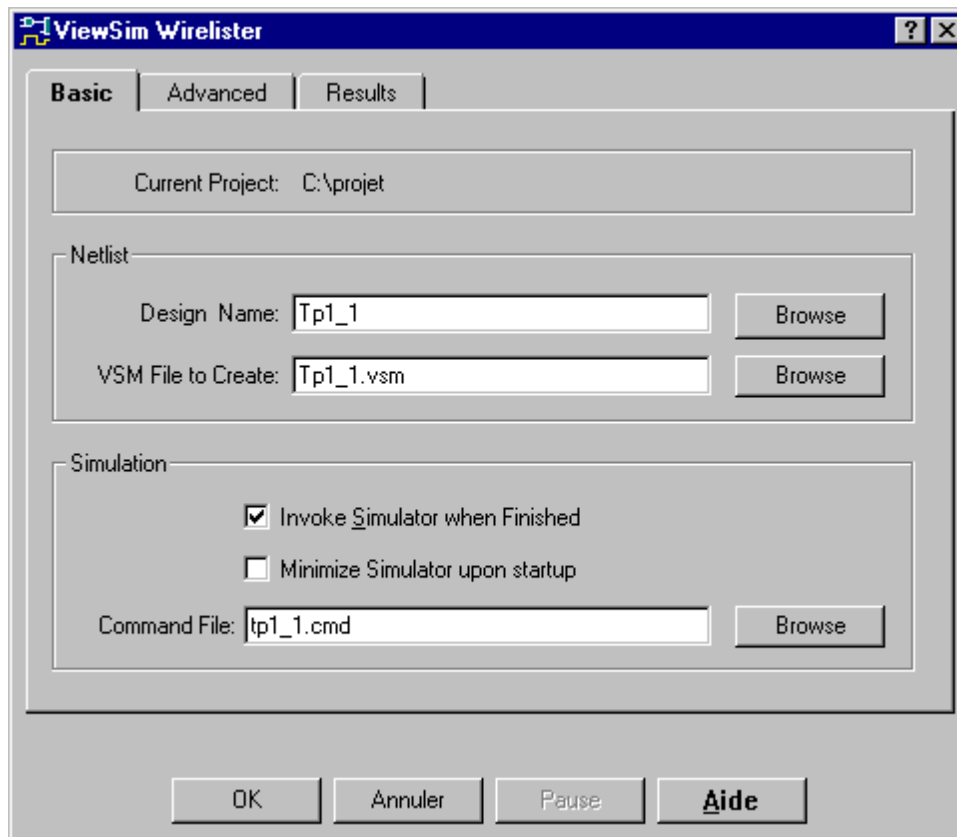
wfm reset @0us=1 @15ms=0

wfm data @0=1 @50ms=0 @199ms=1 @251ms=0 @399ms=1 @451ms=0 @499ms=1 @551ms=0 @799ms=1 @851ms=0

wave TP3_1.VCD RESET CLK DATA CPT9 D A {spécifie les signaux qui seront affichés dans viewtrace}

sim 1sec {spécifie la durée de simulation}

Dans le menu "Tools" **sélectionner** "Create Digital Netlist" qui permet d'ouvrir une boîte de dialogue suivante:



Sélectionner dans le cadre "Command File" le fichier de commande qui a été consulté précédemment: tp3_1.cmd puis **cliquer** sur le bouton **OK**.

2. ANALYSE DES RESULTATS

Cliquer sur **D** dans la fenêtre de gauche, puis sur le **bouton 2** de la barre d'outils (permet la conversion en binaire).

Q3:

- Énumérer l'ensemble des valeurs prise par le mot binaire D.
- Que constatez-vous ?
- En **déduire** la fonction réalisée par les circuits 4015.

Q4:

- Indiquer sur quel front d'horloge la sortie CPT9 change d'état.
- Ce résultat était-il prévisible ? **Expliquer.**

Q5:

- Indiquer le rôle de l'entrée POL du circuit 4042.
- Les données présente sur les sorties des circuits 4042 correspondent-elles à la valeur du code d'entrée de la porte ? **Conclure.**

Objectif 2:

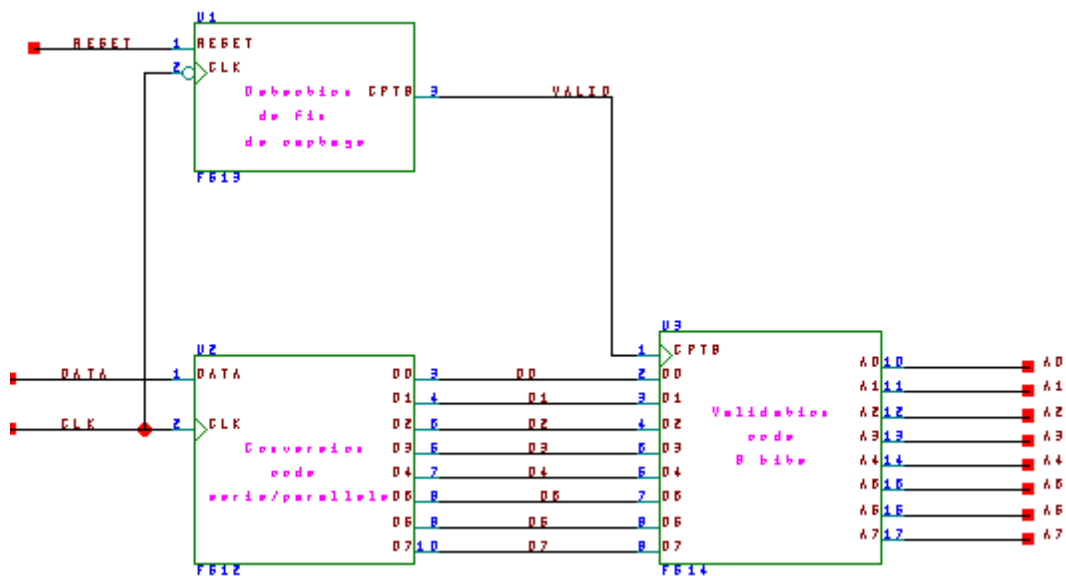
La deuxième partie de ce TP consiste à **élaborer** une partie du fichier de commande permettant la simulation fonctionnelle de la fonction FPI (utilisation des symboles de FS12, FS13 et FS14).

3. ÉLABORATION DES SIGNAUX D'ENTREE

Q6:

Tracer les chronogrammes des signaux CLK et DATA. Vous pourrez vous inspirer de la question **Q1** et vous prendrez $DATA=(C5)_{16}$.

Ouvrir "Viewdraw" et saisir le schéma suivant sous le nom: TP3_2.1



Ouvrir le menu "Tools" et **sélectionner** "Fichier de commande".

```
restart  
vector A A[7:0]  
vector D.....  
wfm Clk 0=1 (50ms=0 50ms=1)*8 50ms=0 @850ms=0  
wfm Reset @0ms=1 @15.0ms=0  
wfm data .....  
wave TP3_2.VCD .....  
sim 1.0sec
```

Q7:

On désire visualiser les signaux dans l'ordre suivant: Reset, Clk, Data, D, Valid, A.

Compléter ce fichier de commande.

Lancer la simulation avec le fichier de commande TP3_2.CMD.

Q8:

Indiquer la valeur du mot A à la fin de la simulation.

Conclure.

Procédure d'édition de stimuli.

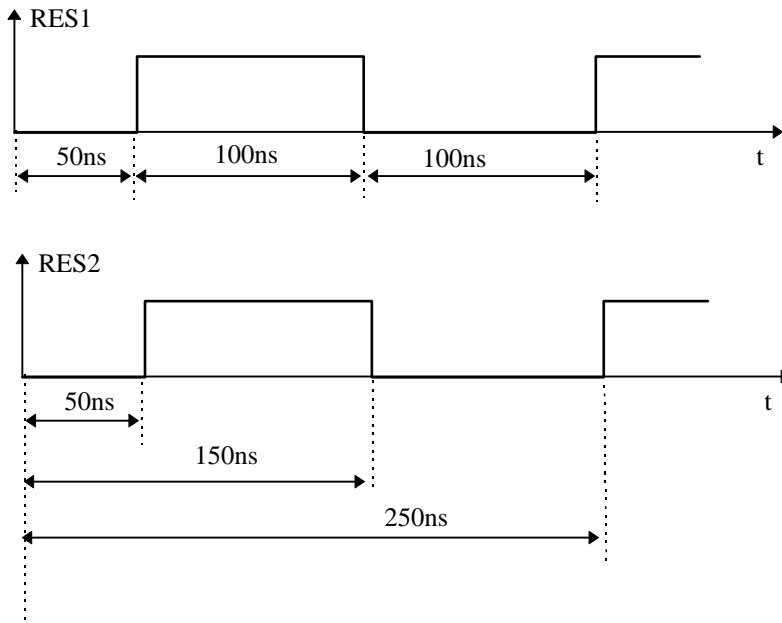
Comment faire pour:	Syntaxe
Appliquer une forme à un signal	WFM nom_du_noeud [@]durée=valeur1 [@]durée=valeur2...
Effectuer une remise à zéro	RESTART
Regrouper plusieurs noeuds en un bus	VECTOR nom_du_bus nom_du_noeud1 nom_du_noeud2...
Ouvrir le grapheur automatique	WAVE nom_du_fichier.vcd nom_du_noeud / nom_du_bus...
Lancer la simulation	SIM durée

Exemple:

VECTOR B B3 B2 B1 B0 définition d'un mot B de quatre bits

WFM RES1 @0=0 50ns=1 100ns=0 100ns=1

WFM RES2 @0=0 @50ns=1 @150ns=0 250ns=1

**Documents techniques:**

Pour ce TP les documents techniques des composants suivants seront nécessaire:

- 4015 Deux registres à décalage statique 4 bits;
- 4017 Un compteur sortie décimale décodée;
- 4042 Quadruple verrou D à sorties complémentaires.

LES REGISTRES: MEMOIRES D'UN MOT DE n BITS

Un registre mémorise un mot binaire de n bits, il est constitué de n mémoires élémentaires qui sont des bascules.

Un registre n bits comprend:

- **n bascules** qui peuvent être du type **RSH, D, JK**,
- une entrée de **signal d'horloge** pour la synchronisation,
- une commande pour le **chargement**, ou **l'écriture**,
- une commande pour l'activation des sorties, ou la **lecture**,
- une commande pour le **décalage interne** des bits du mot mémorisé.

LES TYPES DE REGISTRES

Un registre est caractérisé par:

- le **nombre de bits** du mot binaire qu'il peut mémoriser, c'est sa **capacité**,
- son **mode d'écriture** ou chargement,
- son **mode de lecture**.

Le **mode de lecture** choisi pour un registre dépend de **l'exploitation** qui est faite du mot mémorisé:

- une exploitation **bit par bit** impose une **lecture série**,
- une exploitation de la **totalité du mot**, une **lecture parallèle**.

Le choix du **mode d'écriture** dépend du **traitement antérieur** qui a généré le mot à mémoriser:

- une génération **bit par bit**, avec transmission par un seul conducteur, impose une **écriture série**,
- une génération **globale du mot**, avec une transmission par **un bus de n bits**, impose une **écriture parallèle**.

FONCTION DECALAGE

Cette fonction consiste à faire **glisser l'information** de chaque cellule élémentaire du registre vers une cellule élémentaire **adjacente**. Ce décalage commandé par le signal d'horloge peut se faire **à droite** ou **à gauche** (cf. fig.1).

En l'absence d'information sur l'entrée, le registre 4 bits de la figure 1 est entièrement rempli de 0 après la 4^e impulsion d'horloge.

